

①⑨ 日本国特許庁 (JP)

①① 特許出願公開

①② 公開特許公報 (A)

昭58—195254

⑤① Int. Cl.³
G 06 F 9/36
9/46

識別記号

庁内整理番号
7218—5B
7218—5B

④③ 公開 昭和58年(1983)11月14日

発明の数 1
審査請求 未請求

(全 6 頁)

⑤④ 仮想コンピュータシステムの入出力制御方式

東京都港区芝五丁目33番1号日
本電気株式会社内

②① 特 願 昭57—76692

⑦① 出 願 人 日本電気株式会社

②② 出 願 昭57(1982)5月10日

東京都港区芝5丁目33番1号

⑦② 発 明 者 鳥居良春

⑦④ 代 理 人 弁理士 住田俊宗

明 細 書

1. 発明の名称

仮想コンピュータシステムの入出力制御方式

2. 特許請求の範囲

主記憶装置と、中央処理装置と、データ制御装置と、入出力機器とを備えて複数の仮想コンピュータシステムを実行可能な仮想コンピュータシステムの入出力制御方式において、前記主記憶装置内の固定領域に仮想マシン識別子、入出力機器番号、仮想コンピュータ入出力終了制御プロセス識別子等を組にして格納可能な中央処理装置／データ制御装置通信領域を設け、前記中央処理装置は、実行中の仮想コンピュータシステムを識別するための仮想マシン識別子を格納するための仮想マシン識別レジスタと、前記主記憶アクセスのためのメモリ・アドレス・レジスタと、前記主記憶とのデータ授受のためのデータ・レジスタと、メモリアクセス動作を制御するメモリアクセス制御回路と、命令を実行する命令実行回路とを備え、前記データ制御装置は、メモリアクセス制御回路と、

メモリアドレスレジスタと、データレジスタとを備えて、前記中央処理装置の命令実行回路は仮想コンピュータシステムの実行中は前記仮想マシン識別レジスタに実行中の仮想マシン識別子を設定し入出力命令を検出したとき上記仮想マシン識別レジスタの内容と仮想コンピュータ入出力制御プロセス識別子と入出力機器番号等を主記憶上の前記中央処理装置／データ制御装置通信領域に書き込むと共に前記データ制御装置に入出力命令が発行されたことを通知し、前記データ制御装置は前記通知を受けると主記憶上の前記通信領域からデータを読み込むことによつて仮想マシン識別子、仮想コンピュータ入出力終了制御プロセス識別子、入出力機器番号等を得て入出力動作を実行し、実行終了後は前記仮想マシン識別子および仮想コンピュータ入出力終了制御プロセス識別子によつて仮想コンピュータシステムの入出力終了制御プロセスへ直接通知することを特徴とする仮想コンピュータシステムの入出力制御方式。

8 発明の詳細な説明

本発明は、仮想計算機システムにおける入出力制御方式に関し、特に仮想システムから出された入出力命令の実行の終了通知の制御方式に関する。

仮想コンピュータシステムの入出力機器の状態は、実際には実システムの入出力機器の状態に依存し、仮想システムのアドレスは、実際には実システムのアドレスに依存している。そして、従来、仮想計算機システム上で出された入出力命令は、仮想システムの制御プログラムではなく、実システムの制御プログラムの制御下で入出力命令のシミュレーション（仮想入出力機器を実入出力機器に割りつける処理、チャネルプログラムの割付処理等）が施された後、実システムから入出力命令が出され、かつ、その終了通知は、一たん実システムの制御プログラムが受け、その後仮想システムの制御プログラムに通知される。従って、オーバーヘッドが大きく、仮想（コンピュータ）システムの実行時間は、実システムの実行時間に比して数倍の処理時間を要するという欠点がある。

モリアクセス制御回路と、命令を実行する命令実行回路とを備え、前記データ制御装置は、メモリアクセス制御回路と、メモリアドレスレジスタと、データレジスタおよびデータ転送回路とを備えて、前記中央処理装置の命令実行回路は仮想コンピュータシステムの実行中は前記仮想マシン識別レジスタに実行中の仮想マシン識別子を設定し入出力命令を検出したとき上記仮想マシン識別レジスタの内容と仮想コンピュータ入出力制御プロセス識別子と入出力機器番号等を主記憶上の前記中央処理装置／データ制御装置通信領域に書き込むと共に前記データ制御装置に入出力命令が発行されたことを通知し、前記データ制御装置は前記通知を受けると主記憶上の前記通信領域からデータを読み込むことによって仮想マシン識別子、仮想コンピュータ入出力終了制御プロセス識別子、入出力機器番号等を得て入出力動作を実行し、実行終了後は前記仮想マシン識別子および仮想コンピュータ入出力終了制御プロセス識別子によって仮想コンピュータシステムの入出力終了制御プロセスへ

本発明の目的は、上述の従来の欠点を解決し、仮想システムから出された入出力動作の終了通知を、直接仮想システムの制御プログラムに通知可能とし、仮想システムの実行時間を短縮した仮想コンピュータシステムの入出力制御方式を提供することにある。

本発明の制御方式は、主記憶装置と、中央処理装置と、データ制御装置と、入出力機器とを備えて複数の仮想コンピュータシステムを実行可能な仮想コンピュータシステムの入出力制御方式において、前記主記憶装置内の固定領域に仮想マシン識別子、入出力機器番号、仮想コンピュータ入出力終了制御プロセス識別子等を組にして格納可能な中央処理装置／データ制御装置通信領域を設け、前記中央処理装置は、実行中の仮想コンピュータシステムを識別するための仮想マシン識別子を格納するための仮想マシン識別レジスタと、前記主記憶アクセスのためのメモリ・アドレス・レジスタと、前記主記憶とのデータ授受のためのデータレジスタと、メモリアクセス動作を制御するメ

直接通知することを特徴とする。

次に、本発明について、図面を参照して詳細に説明する。

第1図は、本発明の一実施例における実システムのマシン構成を示すブロック図である。すなわち、主記憶装置1は、システム・インタフェース装置2と信号線1001で接続され、中央処理装置8およびデータ制御装置4は、それぞれ信号線1002、1003でシステム・インタフェース装置2と接続されている。またデータ制御装置4は信号線1004を通して入出力機器5と接続されている。

中央処理装置8は、現在実行中の仮想コンピュータシステムの識別子を保持する仮想マシン識別レジスタ801と、主記憶アクセス時のアドレスを保持するメモリ・アドレス・レジスタ802と、主記憶とのデータを授受するデータレジスタ803と、命令実行回路804と、主記憶へのアクセスおよびデータの授受を管理するメモリ・アクセス制御回路805とを備えて、メモリ・アクセス制

御回路805の制御によりメモリ・アドレスレジスタ802の出力で主記憶1にアクセスし、主記憶1からデータレジスタ808に読み込んだ命令を命令実行回路804によって実行し、処理結果はメモリ・アドレスレジスタ802でアドレスされる主記憶上の番地へデータ・レジスタ808から送出される。中央処理装置8の上で仮想マシンVM1が動作しているときには、命令実行回路804は上記仮想マシンVM1に対応する仮想マシン識別子を仮想マシン識別レジスタ801に設定しておく。

データ制御装置4は、メモリ・アドレス・レジスタ401の出力で主記憶装置1にアクセスし、授受データはデータレジスタ402に格納される。これらはメモリ・アクセス制御回路408の制御によって行なわれ、また、データレジスタ402のデータはデータ転送制御回路404を介して入出力機器5へ転送され、または入出力機器5からのデータがデータレジスタ402に転送される。

一方、主記憶装置1上には、第2図に示すよう

仮想システム上の入出力機器と仮想マシン識別子により実システム上の入出力機器番号を対照するための入出力機器変換表(V-B I O T)および仮想コンピュータ入出力終了制御プロセス識別子と仮想マシン識別子によって仮想コンピュータ入出力終了制御プロセスの実アドレスを対照できる終了プロセス識別子変換表等を持っている。

次に、本実施例の動作について説明する。今、中央処理装置8上で仮想マシンVM1が動作中のときは、前記仮想マシン識別レジスタ801には動作中のVM1に対応した仮想マシン識別子が設定されている。そして、命令実行回路804が仮想マシンVM1上で入出力命令を検出すると、メモリアクセス制御回路805に通知し、メモリアクセス制御回路805の制御によって、主記憶装置1上の前記通信領域Aに、仮想マシン識別子、入出力機器番号、仮想コンピュータ入出力終了制御プロセス識別子およびチャネルプログラムアドレスを設定すると共に、システムインターフェース装置2を介してデータ制御装置4に入出力命令

な中央処理装置/データ制御装置通信領域Aが固定領域に設けられている。該通信領域Aは、nワードから成り、マルチプロセッサシステム時はその構成分だけ準備される。該通信領域Aには図示のように仮想コンピュータシステム識別子(仮想マシン識別子)、入出力機器番号、仮想コンピュータ入出力終了制御プロセス識別子およびチャネルプログラムアドレス情報(CPアドレス)を格納可能である。なお上記仮想コンピュータ入出力終了制御プロセス識別子は、第8図に示すような仮想マシンが動作している実マシン上の記憶空間800内に各仮想マシンVM1に対応して割当てられた空間810内の仮想コンピュータ入出力終了制御プロセス820を指称する識別子であり、チャネルプログラムアドレス情報とは、第8図に示した上記空間810内のチャネルプログラム880が格納されている空間のアドレス情報である。

また、主記憶装置1は、この他に実システム上の論理アドレス/実アドレス変換表(BMAT)。

が先行されたことを通知する。

データ制御装置4は、上記通知を受けると、主記憶装置1上の前記通信領域Aの値を、メモリアクセス制御回路408およびメモリアドレスレジスタ401を働かせてデータレジスタ402に得る。すなわち、上記情報が中央処理装置8とデータ制御装置4間で通信されたことになる。そして、仮想マシン識別子および入出力機器番号を持って前記主記憶装置1上の前記入出力機器変換表(V-B I O T)から実マシン上の入出力機器番号に対応づけを得る。また、仮想マシン識別子とチャネルプログラムアドレスを持って仮想システム上のアドレス変換表(VMAT)により一旦仮想システム上の実アドレスを求める。上記仮想システム上のアドレス変換表(VMAT)は、仮想システム上の論理アドレスを仮想システム上の実アドレスに変換するテーブルであり、前記空間810内に設けられている。仮想システム上の実アドレスは、実システム上の論理アドレスに過ぎないから、主記憶装置1上の前記論理アドレス/実アド

レス変換表(BMAT)によって、さらに実システム上の実アドレスに対応づける。該実システム上の実アドレスによってチャネルプログラムをデータレジスタ402に得て、該チャネルプログラムに従ってデータ転送制御回路404を動作させ入出力動作が実行される。なお、先に得られた通信領域Aの値は、メモリアクセス制御回路408内に保存しておく。

データ転送の終了を、データ転送制御回路404が検出すると、上記保存中の仮想マシン識別子と仮想コンピュータ入出力終了制御プロセス識別子によって、主記憶装置1内の前記終了プロセス識別子変換表から該入出力命令を発行した仮想プロセッサの入出力終了制御プロセス820の実アドレスを知り、該アドレスへ直接入出力動作の終了を報告する。すなわち、入出力動作の終了は、入出力命令を発行した仮想プロセッサの入出力制御プログラムにデータ制御装置4から直接通知される。第8図は、仮想マシンが動作している実マシンの記憶空間800上で仮想マシンV M iに割当

ュータ入出力終了制御プロセス識別子等を設定する通信領域を設け、中央処理装置が仮想システム実行中に入出力命令を検出したときは、上記通信領域を介してデータ制御装置へ仮想マシン識別子、仮想コンピュータ入出力終了制御プロセス識別子等を通信し、データ制御装置は、入出力動作の終了を上記両識別子によって仮想マシン上の仮想コンピュータ入出力終了制御プロセスに直接通知できるように構成したから、入出力動作の終了通知が迅速に可能となり、仮想システムの実行時間を短縮し、性能が向上される効果を有する。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は上記実施例において主記憶装置上に設定された中央処理装置/データ制御装置通信領域を示す図、第8図は実マシン上の記憶空間の割り当てを示す図である。

図において、1…主記憶装置、2…システム・インタフェース装置、3…中央処理装置、4…データ制御装置、5…入出力機器、801…仮想マ

シンの識別レジスタ、802、401…メモリ・アドレスレジスタ、803、402…データ・レジスタ、804…命令実行回路、805、403…メモリ・アクセス制御回路、404…データ転送制御回路、A…通信領域。

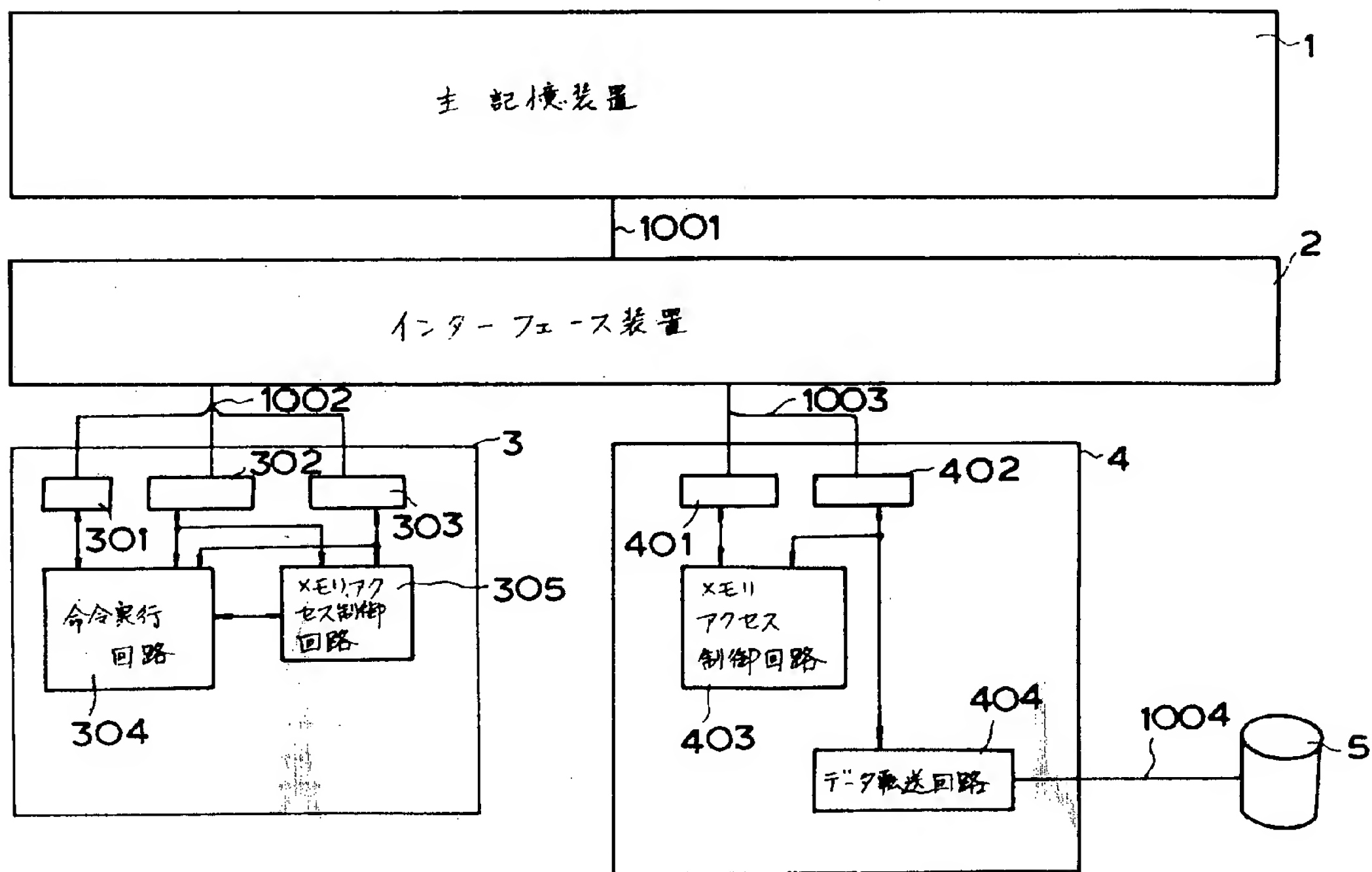
てられた空間810および該空間内の仮想コンピュータ入出力終了制御プロセス820、チャネルプログラム880を示す図であり、上記空間810は、仮想マシン識別子によって特定され、制御プロセス820の空間は仮想コンピュータ入出力終了制御プロセス識別子(および仮想マシン識別子)によって特定され、チャネルプログラム880の格納空間はチャネルプログラムアドレス(および仮想マシン識別子)によって特定される。上記各種識別子と記憶空間の割り当ては、例えば通常のセグメント法によってなされている。従って、既述したように、データ制御装置4が保有している仮想マシン識別子と仮想コンピュータ入出力終了制御プロセス識別子によって直接仮想プロセッサの入出力制御プログラムに入出力動作の終了を通知することができる。すなわち、入出力動作の終了通知が迅速になされ、仮想システム上の実行時間を短縮できる効果を有する。

以上のように、本発明においては、主記憶装置上の固定領域に、仮想マシン識別子、仮想コンピ

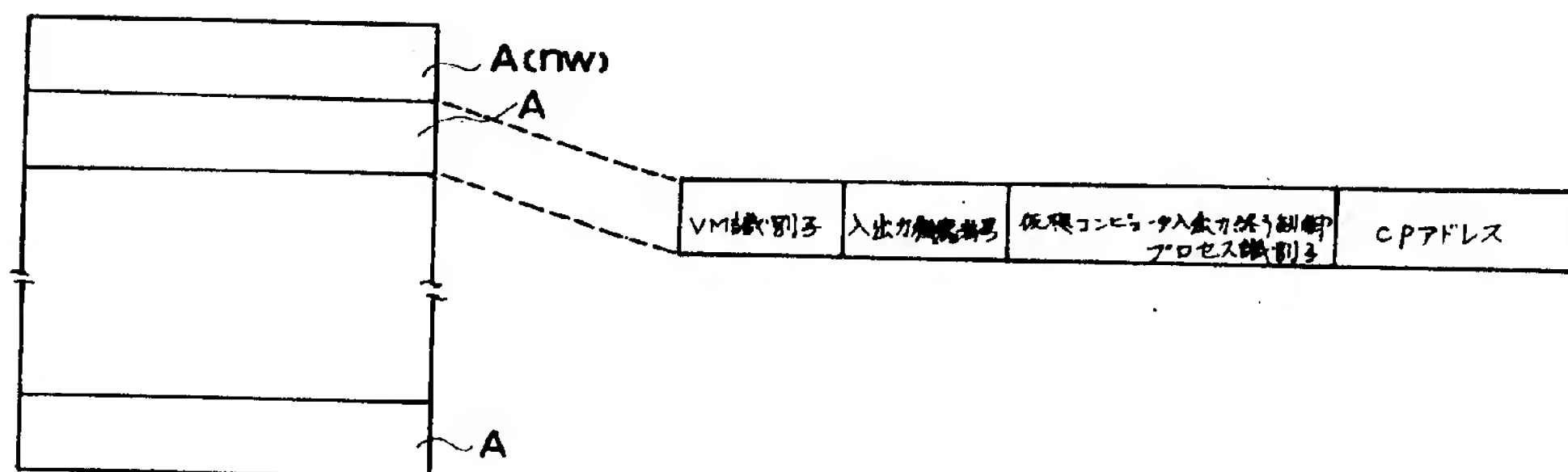
シンの識別レジスタ、802、401…メモリ・アドレスレジスタ、803、402…データ・レジスタ、804…命令実行回路、805、403…メモリ・アクセス制御回路、404…データ転送制御回路、A…通信領域。

代理人 弁理士 住田 俊 宗

第 1 図



第 2 図



第3図

